



2631

#2

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

APPLICANT: Shigekatsu HASEGAWA et al

)

SERIAL NO: 09/761,092

) Group Art Unit: 2631

FILING DATE: January 16, 2001

) Examiner:

TITLE: SYNCHRONIZING CIRCUIT

)

The Commissioner for Patents
Washington, D.C. 20231

RECEIVED
JAN 08 2002
Technology Center 2600

SUBMITTAL OF PRIORITY DOCUMENT

Dear Sir:

Attached herewith is a certified copy of Japanese Application 2000-025771 filed February 2, 2000, for which priority is claimed under 35 USC 119.

Respectfully submitted,

Richard J. Streit, Reg. 25765
c/o Ladas & Parry
224 South Michigan Avenue
Chicago, Illinois 60604
(312) 427-1300

October 17, 2001

Date

/25


Richard J. Streit
Attorney for Applicant

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: February 2, 2000

Application Number: Japanese Patent Application
No. 2000-025771

Applicant(s): MITSUMI ELECTRIC CO., LTD.

February 23, 2001

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No. 2001-3011204



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 2月 2日

出願番号
Application Number:

特願 2000-025771

出願人
Applicant(s):

ミツミ電機株式会社

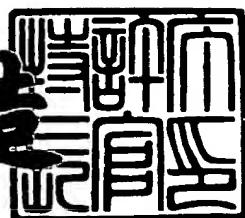
Technology Center 2600

JAN 08 2002

RECEIVED

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特 2001-3011204

【書類名】 特許願
【整理番号】 06X10685-0
【提出日】 平成12年 2月 2日
【あて先】 特許庁長官 近藤 隆彦 殿
【国際特許分類】 H04L 7/00
【発明者】
【住所又は居所】 東京都調布市国領町8丁目8番地2 ミツミ電機株式会社内
【氏名】 長谷川 茂克
【発明者】
【住所又は居所】 東京都調布市国領町8丁目8番地2 ミツミ電機株式会社内
【氏名】 遠藤 直人
【特許出願人】
【識別番号】 000006220
【氏名又は名称】 ミツミ電機株式会社
【代理人】
【識別番号】 100070150
【弁理士】
【氏名又は名称】 伊東 忠彦
【手数料の表示】
【予納台帳番号】 002989
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期回路

【特許請求の範囲】

【請求項1】 所定のコードを位相の異なる第1及び第2のコードに同調させる同期回路において、

前記所定のコードから所定チップ数だけ変移した変移コードを出力するコード発生手段と、

前記コード発生手段からの変移コードと前記第1のコードとの相関を検出する第1の相関検出手段と、

前記コード発生手段からの変移コードと前記第2のコードとの相関を検出する第2の相関検出手段と、

前記第1及び第2の相関検出手段の検出結果に応じて前記コード発生手段から発生されるコードを所定チップ数シフトするコードシフト手段とを有することを特徴とする同期回路。

【請求項2】 前記第1のコードと前記第2のコードとは1／2チップ位相が相違しており、

前記コード発生手段は、所定のコードから1チップ数分だけ変移した変移コードを発生することを特徴とする請求項1記載の同期回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、同期装置に係り、特に、外部から供給されたコードと内部コードとの同期をとる同期回路に関する。

【0002】

【従来の技術】

図3は、従来のG P S受信装置の一例のブロック構成図を示す。

【0003】

従来のG P S受信装置1は、受信アンテナ3、受信ユニット4、情報処理装置5、表示装置6から構成される。

【0004】

受信アンテナ2は、G P S衛星2-1～2-nからのG P S信号を受信する。G P S信号は、1575.42MHzの信号である。受信アンテナ2で受信されたG P S信号は、受信ユニット4に供給される。

【0005】

受信ユニット4は、G P S信号をG P SからC/Aコードを抽出し、異なるC/Aコードの時間差に応じたデータを出力する。受信ユニット4の出力データは、情報処理装置5に供給される。

【0006】

情報処理装置5は、受信ユニット4の出力データに応じて緯度、経度、高度、時間などの情報を求める。情報処理装置5は、求められた情報に応じて表示装置6を駆動する。表示装置6は、情報処理装置5で求められた緯度、経度、高度、時間などの情報を表示する。

【0007】

次に、受信ユニット4について説明する。

【0008】

図4は従来の一例の受信ユニットのブロック構成図を示す。

【0009】

受信ユニット4は、高周波回路11、受信回路12、CPU13、RAM14から構成される。

【0010】

高周波回路11には、アンテナ3から受信信号が供給される。高周波回路11は、アンテナ3からの受信信号を所定の周波数帯域となるように周波数変換する。

【0011】

図5は従来の一例の高周波回路のブロック構成図を示す。

【0012】

高周波回路11は、周波数変換部21、22、発振回路23から構成される。発振回路23には、受信回路12から18.414MHzの発振信号が供給される

。発振回路23は、PLL(Phase Locked Loop)回路から構成され、18.414MHzの発振信号から1555.983MHzの発振信号を生成し、周波数変換部21に供給する。

【0013】

周波数変換部21には、アンテナ3から搬送周波数1575.42MHzの受信信号が供給されるとともに、発振回路23から1555.983MHzの発振信号が供給される。周波数変換部21は、受信信号と1555.983MHzの発振信号とを乗算して、受信信号の搬送周波数を19.437MHzに変換する。

【0014】

周波数変換部21で周波数変換された受信信号は、周波数変換部22に供給される。周波数変換部22には、受信回路12から18.414MHzの発振信号が供給される。周波数変換部22は、周波数変換部21からの受信信号と受信回路12からの発振信号とを乗算して、受信信号を搬送周波数1.023MHzの信号に変換する。周波数変換部22で変換された信号は、受信回路12に供給される。

【0015】

受信回路12は、高周波回路11からの信号に応じて衛星コードを抽出する。

【0016】

図6は従来の一例の受信回路のブロック構成図を示す。

【0017】

受信回路12は、C/Aコード発生部31、乗算器32～37、発振回路38、第1の検出回路39、第2の検出回路40、第3の検出回路41、第4の検出回路42から構成される。

【0018】

高周波回路11からの信号は、乗算器32、33に供給される。乗算器32、33は、発振回路38に接続される。発振回路38は、I信号の搬送周波数に応じた発振信号を乗算器32に供給し、Q信号の搬送周波数に応じた発振信号を乗算器33に供給する。発振回路38は、CPU13からの制御信号に応じて位相が制御される。

【0019】

C/Aコード発生部31は、CPU13からの制御信号に応じたタイミングで3種類のC/Aコードを発生する。C/Aコード発生部31から出力されるC/Aコードは、遅延のない0チップ遅延C/Aコード、0チップ遅延C/Aコードに対して-1/2チップ遅延した-1/2チップ遅延C/Aコード、0チップ遅延C/Aコードに対して+1/2チップ遅延した+1/2チップ遅延C/Aコードの3種類である。

【0020】

乗算器32は、高周波回路11からの信号と発振回路38からの発振信号とを乗算し、I信号を抽出する。乗算器33は、高周波回路11からの信号と発振回路38からの発振信号とを乗算し、Q信号を抽出する。

【0021】

乗算器32で抽出されたI信号は、乗算器34～36に供給される。乗算器34には、乗算器32からI信号が供給されるとともに、C/Aコード発生部31から-1/2チップ遅延C/Aコードが供給される。乗算器34は、I信号と-1/2チップ遅延C/Aコードとを乗算する。

【0022】

乗算器35には、乗算器32からI信号が供給されるとともに、C/Aコード発生部31から0チップ遅延C/Aコードが供給される。乗算器35は、I信号と0チップ遅延C/Aコードとを乗算する。

【0023】

乗算器36には、乗算器32からI信号が供給されるとともに、C/Aコード発生部31から+1/2チップ遅延C/Aコードが供給される。乗算器36は、I信号と+1/2チップ遅延C/Aコードとを乗算する。

【0024】

乗算器37には、乗算器33からQ信号が供給されるとともに、C/Aコード発生部31から0チップ遅延C/Aコードが供給される。乗算器37は、Q信号と0チップ遅延C/Aコードとを乗算する。

【0025】

乗算器34の乗算結果は、第1の検出回路39に供給される。乗算器35の乗算結果は、第2の検出回路40に供給される。乗算器36の乗算結果は、第3の検出回路41に供給される。乗算器37の乗算結果は、第4の検出回路42に供給される。

【0026】

第1の検出回路39は、乗算器34からの乗算結果から $-1/2$ チップ遅延C/AコードとI信号との不一致チップ数をカウントし、そのカウント値C1を出力する。第2の検出回路40は、乗算器35からの乗算結果から0チップ遅延C/AコードとI信号との不一致チップ数をカウントし、そのカウント値C2を出力する。

【0027】

第3の検出回路41は、乗算器36からの乗算結果から $+1/2$ チップ遅延C/AコードとI信号との不一致チップ数をカウントし、そのカウント値C3を出力する。第4の検出回路42は、乗算器37からの乗算結果から0チップ遅延C/AコードとQ信号との不一致チップ数をカウントし、そのカウント値C4を出力する。

【0028】

第1～第4の検出回路39～42の出力カウント値C1、C2、C3、C4は、CPU13に供給される。

【0029】

CPU13は、カウント値C1～C4から相関値b1～b4を求める。相関値b1は、I信号と $-1/2$ チップ遅延C/Aコードとの相関値である。相関値b2は、I信号と0チップ遅延C/Aコードとの相関値である。相関値b3は、I信号と $+1/2$ チップ遅延C/Aコードとの相関値である。

【0030】

相関値b1～b4は、相関がないときのカウント値をaとすると、

$$b_1 = C_1 - a \quad \dots (1)$$

$$b_2 = C_2 - a \quad \dots (2)$$

$$b_3 = C_3 - a \quad \dots (3)$$

$$b_4 = C_4 - a$$

... (4)

で求められる。

【0031】

CPU13は、下記の式(5)により相関値 b_2 と相関値 b_4 からI信号とQ信号との相関 d_0 を求める。

【0032】

相関 d_0 は、

$$d_0 = (b_2^2 + b_4^2) \dots (5)$$

で求められる。

【0033】

CPU13は、相関 d_0 を所定の閾値と比較する。相関 d_0 が閾値より小さく、かつ、位相シフト量が1023チップであれば、発振回路38に周波数制御信号を供給する。発振回路38は、CPU13からの周波数制御信号に応じて乗算器32、33に供給する発振信号の周波数を制御する。CPU13は、相関 d_0 が閾値より大きくなるまで、上記動作を繰り返す。

【0034】

CPU13は、相関 d_0 が閾値より大きくなると、ロック動作を行なう。ロック動作は、相関 d_0 により発振回路38を制御し、I信号とQ信号との相関を監視する。I信号とQ信号との相関 d_0 は、情報処理装置5に供給される。

【0035】

情報処理装置5は、CPU13からのI信号とQ信号との相関 d_0 から衛星からの信号と同期し、情報を得て、位置情報を抽出する。情報処理装置5は、抽出した位置情報に応じて表示装置6を制御する。表示装置6には、地図が表示され、表示された地図上に抽出した位置情報に応じた位置を表示する。また、CPU13は、相関値 b_1 及び相関値 b_3 によりロック動作を行なう。

【0036】

【発明が解決しようとする課題】

しかるに、従来のサーチ方式では、I信号の0チップ遅延とQ信号の0チップ遅延との1組の相関しか使用していなかったため、C/Aコードは1チップずつ

しかシフトできなかった。

【0037】

このため、サーチに時間かかるなどの問題点があった。

【0038】

本発明は上記の点に鑑みてなされたもので、簡単な構成で、高速に同期させることができると同期回路を提供することを目的とする。

【0039】

【課題を解決するための手段】

本発明は、所定のコードを位相の異なる第1及び第2のコードに同調させる同期回路において、前記所定のコードから所定チップ数だけ変移した変移コードを出力するコード発生手段と、前記コード発生手段からの変移コードと前記第1のコードとの相関を検出する第1の相関検出手段と、前記コード発生手段からの変移コードと前記第2のコードとの相関を検出する第2の相関検出手段と、前記第1及び第2の相関検出手段の検出結果に応じて前記コード発生手段から発生されるコードを所定チップ数シフトするコードシフト手段とを有することを特徴とする。

【0040】

本発明によれば、位相の異なる第1及び第2のコードの両方で相関を検出することにより、コードシフト回数を減少させることができる。

【0041】

【発明の実施の形態】

次に、本発明の一実施例を図面とともに説明する。

【0042】

図1は本発明の一実施例の受信部のブロック構成図を示す。同図中、図6と同一構成部分には同一符号を付し、その説明は省略する。

【0043】

本実施例の受信部100は、C/Aコード発生部31の出力C/Aコードを3種類から4種類に変更するとともに、3つのスイッチ101、102、103を設けてなる。

【0044】

C/Aコード発生部31は、-1/2チップ遅延C/Aコード、0チップ遅延C/Aコード、+1/2チップ遅延C/Aコードに加えて、-1チップ遅延C/Aコードを発生する。

【0045】

スイッチ101は、C/Aコード発生部31から-1/2チップ遅延C/Aコード及び-1チップ遅延C/Aコードが供給され、CPU13からの切換制御信号に応じて-1/2チップ遅延C/Aコード又は-1チップ遅延C/Aコードのいずれかを選択して乗算器34に供給する。

【0046】

スイッチ102は、C/Aコード発生部31から乗算器32の乗算結果及び尾乗算器33の乗算結果が供給され、CPU13からの切換制御信号に応じて乗算器32の乗算結果又は乗算器33の乗算結果のいずれかを選択して乗算器36に供給する。

【0047】

スイッチ103は、C/Aコード発生部31から+1/2チップ遅延C/Aコード及び-1チップ遅延C/Aコードが供給され、CPU13からの切換制御信号に応じて+1/2チップ遅延C/Aコード又は-1チップ遅延C/Aコードのいずれかを選択して乗算器36に供給する。

【0048】

次に、本実施例の動作について説明する。

【0049】

図2は本発明の一実施例のCPUの動作説明図を示す。

【0050】

CPU13は、ステップS1～S8を実行する。

【0051】

ステップS1は、スイッチ101～103をサーチ動作時の状態に切り換える。サーチ動作時には、スイッチ101は、C/Aコード発生部31からの-1チップ遅延C/Aコードが乗算器34に供給されるように切り換えられる。また、

スイッチ102は、サーチ動作時には、乗算器33からのQ信号が乗算器36に供給されるように切り換えられる。スイッチ103は、C/Aコード発生部31からの-1チップ遅延C/Aコードが乗算器36に供給されるように切り換えられる。

【0052】

次に、ステップS2が実行される。ステップS2は、第1～第3の検出回路39～42からカウント値C1～C4を入力する。

【0053】

CPU13は、ステップS2で入力されたカウント値C1～C4から相関d0及び相関d10を求める。

【0054】

相関d10は、第1の検出回路39からのカウント値C1と第3の検出回路41のカウント値C3とから求められる。

【0055】

まず、カウント値C1、C3から式(1)及び(3)により相関値b1、b3を求める。次に、相関値b1、b3から下記の式(6)により相関d10が求められる。

【0056】

$$d_{10} = (b_1^2 + b_3^2) \quad \dots \quad (6)$$

相関d0は、第2の検出回路40からのカウント値C2と第4の検出回路42からのカウント値C4とから求められる。

【0057】

まず、カウント値C2、C4から相関値b2、b4を求める。次に、相関値b2、b4から上記式(5)により相関d0が求められる。

【0058】

相関d0は、I信号の-1チップ遅延C/AコードとQ信号の-1チップ遅延C/Aコードとの相間に相当する。相関d0は、I信号の0チップ遅延C/AコードとQ信号の0チップ遅延C/Aコードとの相間に相当する。

【0059】

CPU13は、ステップS2で、相関d0、d10を求めるに次に、ステップS3を行なう。ステップS3は、相関d0、d10が閾値より大きいか否かを判定する。ステップS3で、相関d0、d10が閾値より小さいときには、次にステップS4が実行される。

【0060】

ステップS4は、C/Aコード発生部31から出力されるC/Aコードの位相シフト量がC/Aコードの全チップ分の1023チップシフトしたか否かを判定する。ステップS4で、C/Aコードは1023チップであるため、1023チップシフトを行なったと判定された場合には、乗算器32、33での乗算結果に誤りがあると判断できるので、次に発振回路38に周波数制御信号を供給し、発振回路38から乗算器32、33に供給する発振信号の周波数を制御する。ステップS4で周波数を変更した後、再びステップS1に戻ってサーチ処理を行なう。

【0061】

また、ステップS4で、C/Aコード発生部31でのC/Aコードのシフト量が1023チップに達していない場合には、次にステップS6を実行する。ステップS6は、C/Aコード発生部31にシフト制御信号を供給し、C/Aコード発生部31から出力されるC/Aコードを2チップ分シフトさせる。ステップS6で、C/Aコードをシフトすると、ステップS2に戻って処理が続けられる。

【0062】

また、ステップS3で、相関d0、d10が閾値より大きければ、ロック動作可能であると判断できるので、次にステップS7が実行される。

【0063】

ステップS7は、スイッチ101～103をロック動作時の状態に切り換える。

【0064】

スイッチ101は、C/Aコード発生部31からの-1/2チップ遅延C/Aコードが乗算器34に供給されるように切り換えられる。スイッチ102は、乗算器32からの乗算結果が乗算器36に供給されるように切り換えられる。

【0065】

スイッチ103は、C/Aコード発生部31からの1/2チップ遅延C/Aコードが乗算器36に供給されるように切り換えられる。これにより、第1の検出回路39の出力カウント値C1は、I信号と-1/2チップ遅延C/Aコードとの相関値となる。第2の検出回路40の出力カウント値C2は、I信号と0チップ遅延C/Aコードとの相関値となる。第3の検出回路41の出力カウント値C3は、I信号と+1/2チップ遅延C/Aコードとの相関値となる。第4の検出回路42の出力カウント値C4は、Q信号と0チップ遅延C/Aコードとの相関値となる。

【0066】

ステップS7でスイッチ101～103がロック動作状態に切り換えられると、ステップS8により、ロック動作が行なわれる。

【0067】

ロック動作では、CPU13は、第2の検出回路40からのカウント値C2と第4の検出回路42のカウント値C4とから式(2)、(4)から相関値b2、b4を求め、式(5)により相関d0を求めて、相関d0が閾値以下となるよう発振回路38を制御し、周波数をロックする。このとき、相関値b4が小さくなるように制御される。

【0068】

また、CPU13は、第1の検出回路39からのカウント値C1と第3の検出回路41のカウント値C3とから式(1)、(3)から相関値b1、b3を求め、相関値b1、b3から相関d10を求めて、相関d10が閾値以下となるようC/Aコード発生部31を制御し、位相をロックする。このとき、相関値b1と相関値b3との差が小さくなるように制御される。

【0069】

本実施例によれば、I信号の-1チップ遅延C/AコードとQ信号の-1チップ遅延C/Aコード及びI信号の0チップ遅延C/AコードとQ信号の0チップ遅延C/Aコードとの相関を求ることにより、1度に2チップ分のサーチを実行できる。このため、従来の2倍の速度でサーチをかけることができ、サーチを

高速で行なえる。

【0070】

このとき、C/Aコード発生部31の構成は、従来に比べて-1チップ遅延C/Aコードを出力可能とすればよいので、回路規模の増加は少なくて済む。また、スイッチ101～103を追加することにより従来と同様のロック動作に対応できる。

【0071】

なお、スイッチ101～103は、C/Aコード発生部31内に一体に内蔵してもよい。

【0072】

【発明の効果】

上述の如く、本発明によれば、位相の異なる第1及び第2のコードの両方で相關を検出することにより、コードシフト回数を減少させることができ、よって、所定のコードと第1及び第2のコードに高速で同期させることができるなどの特長を有する。

【図面の簡単な説明】

【図1】

本発明の一実施例の受信部のブロック構成図である。

【図2】

本発明の一実施例の制御部の処理フローチャートである。

【図3】

従来のGPS受信装置の一例のブロック構成図である。

【図4】

従来の一例の受信ユニットのブロック構成図である。

【図5】

従来の一例の高周波回路のブロック構成図である。

【図6】

従来の一例の受信回路のブロック構成図である。

【符号の説明】

1 GPS受信装置

2 衛星

3 アンテナ

4 受信ユニット

5 情報処理装置

6 表示装置

1 1 高周波回路

1 2 受信回路

1 3 CPU

1 4 RAM

3 1 C/Aコード発生部

3 2~3 7 乗算器

3 8 発振回路

3 9 第1の検出回路

4 0 第2の検出回路

4 1 第3の検出回路

4 2 第4の検出回路

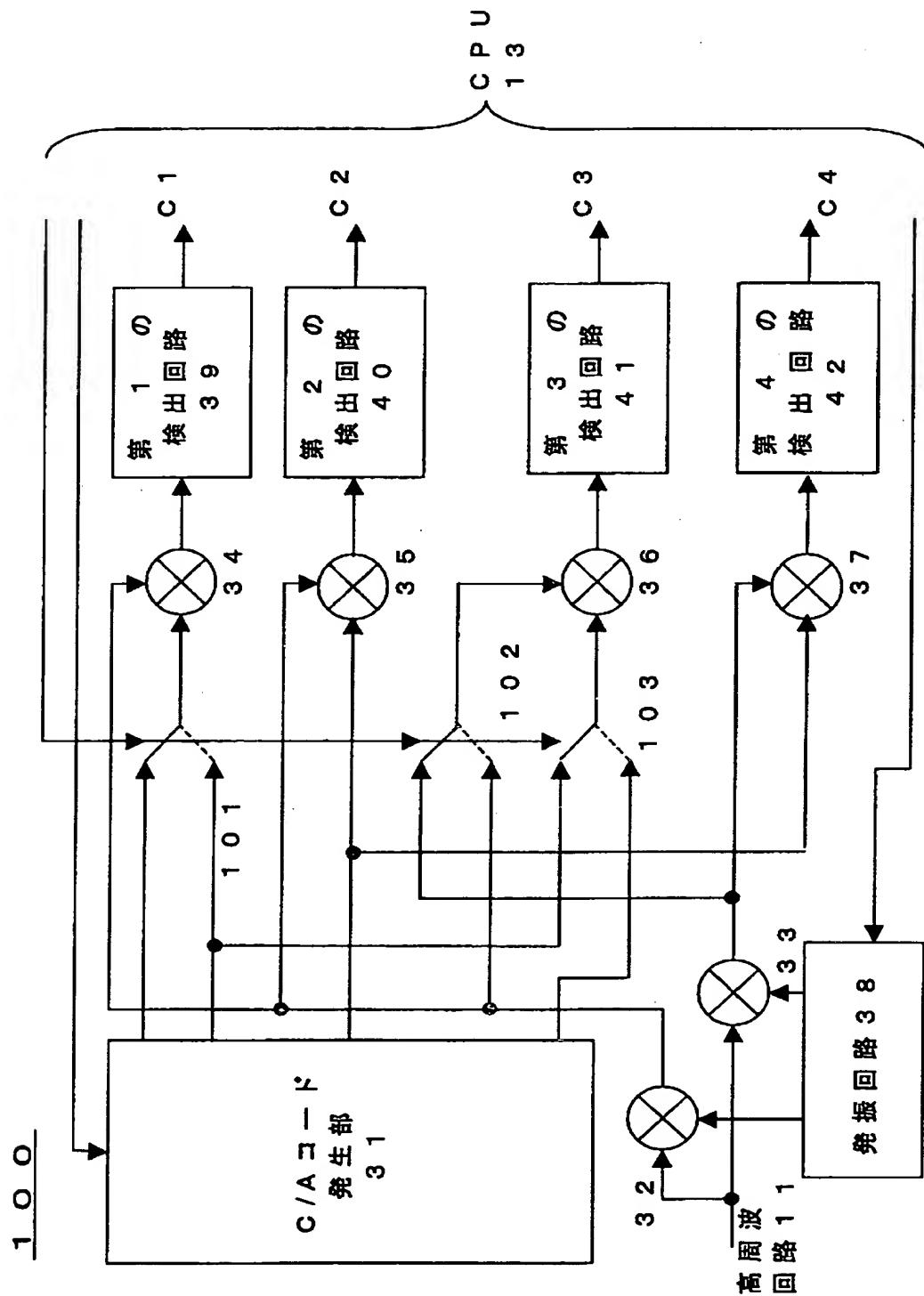
1 0 0 受信部

1 0 1~1 0 3 スイッチ

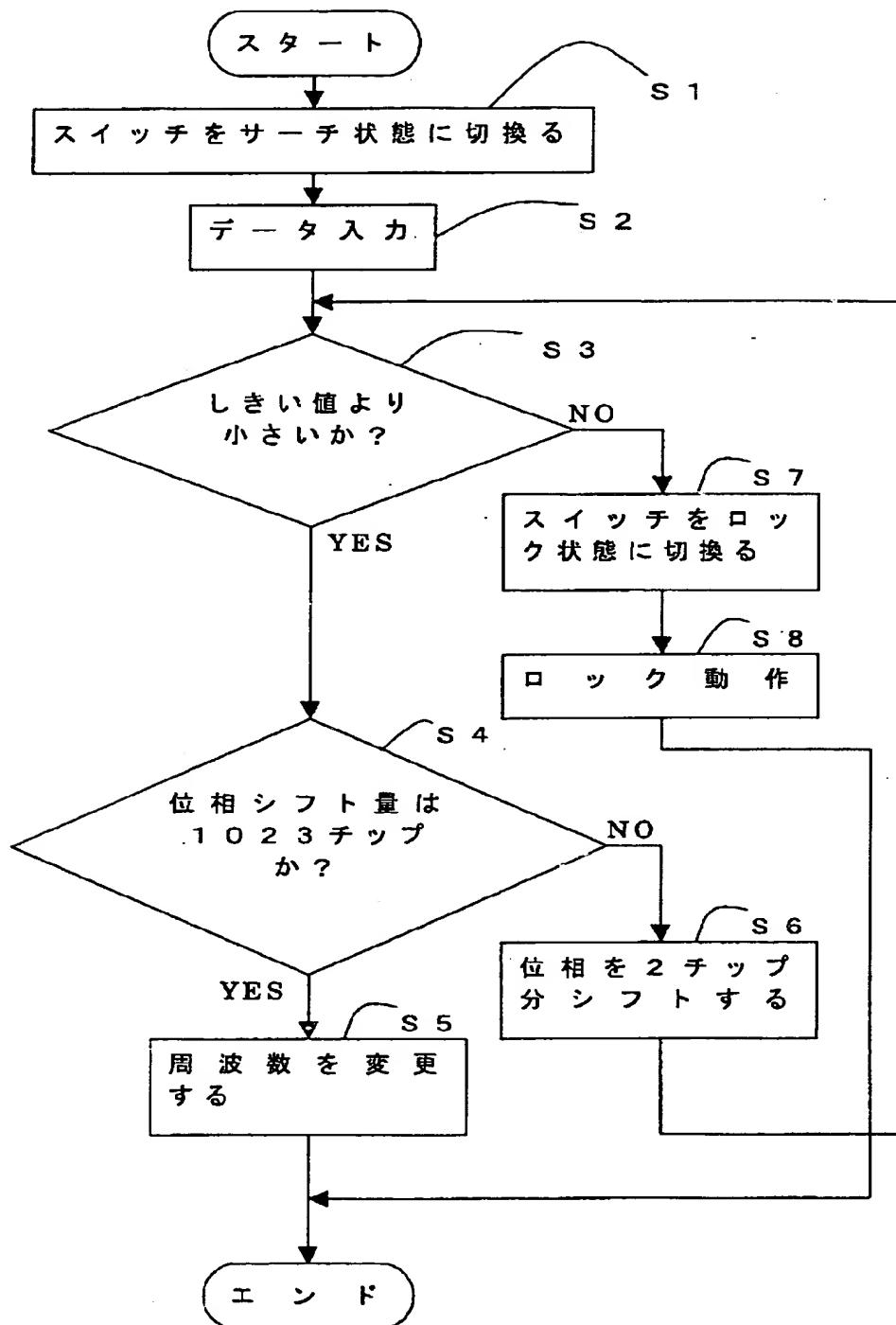
【書類名】

図面

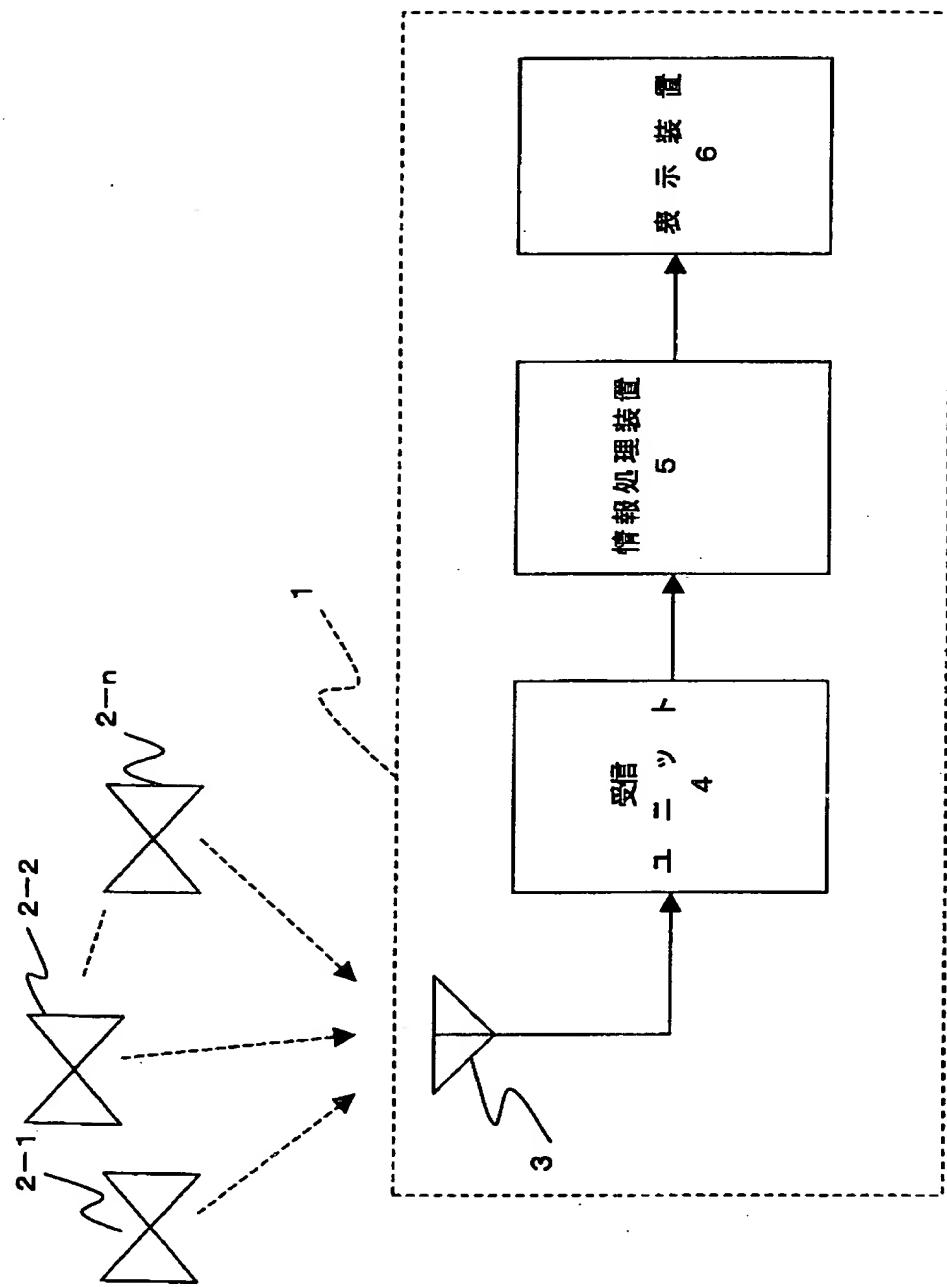
【図1】



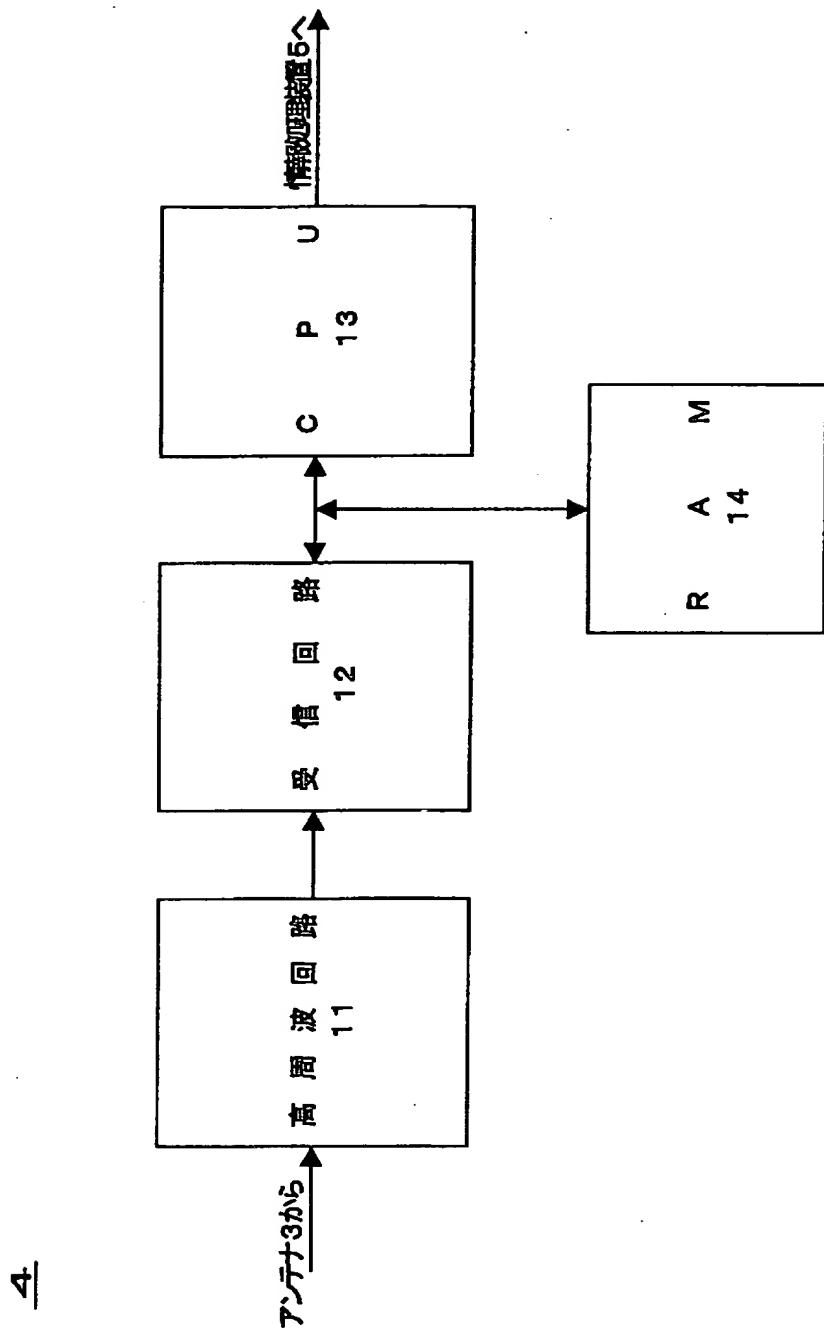
【図2】



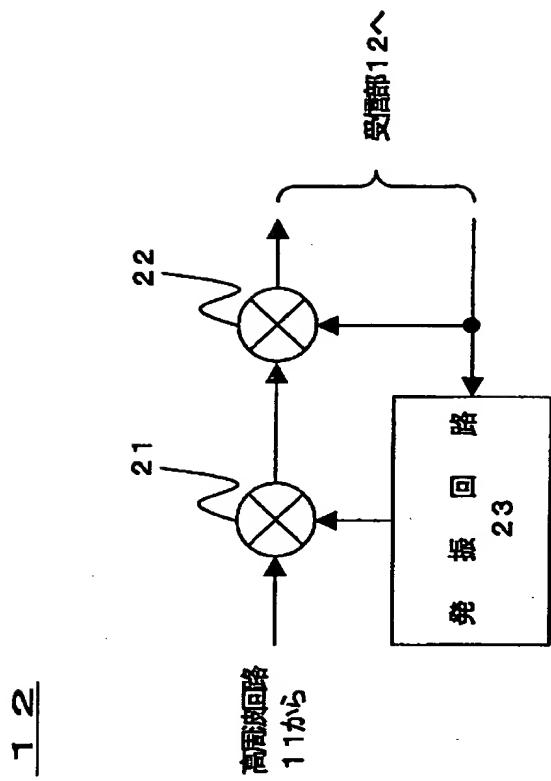
【図3】



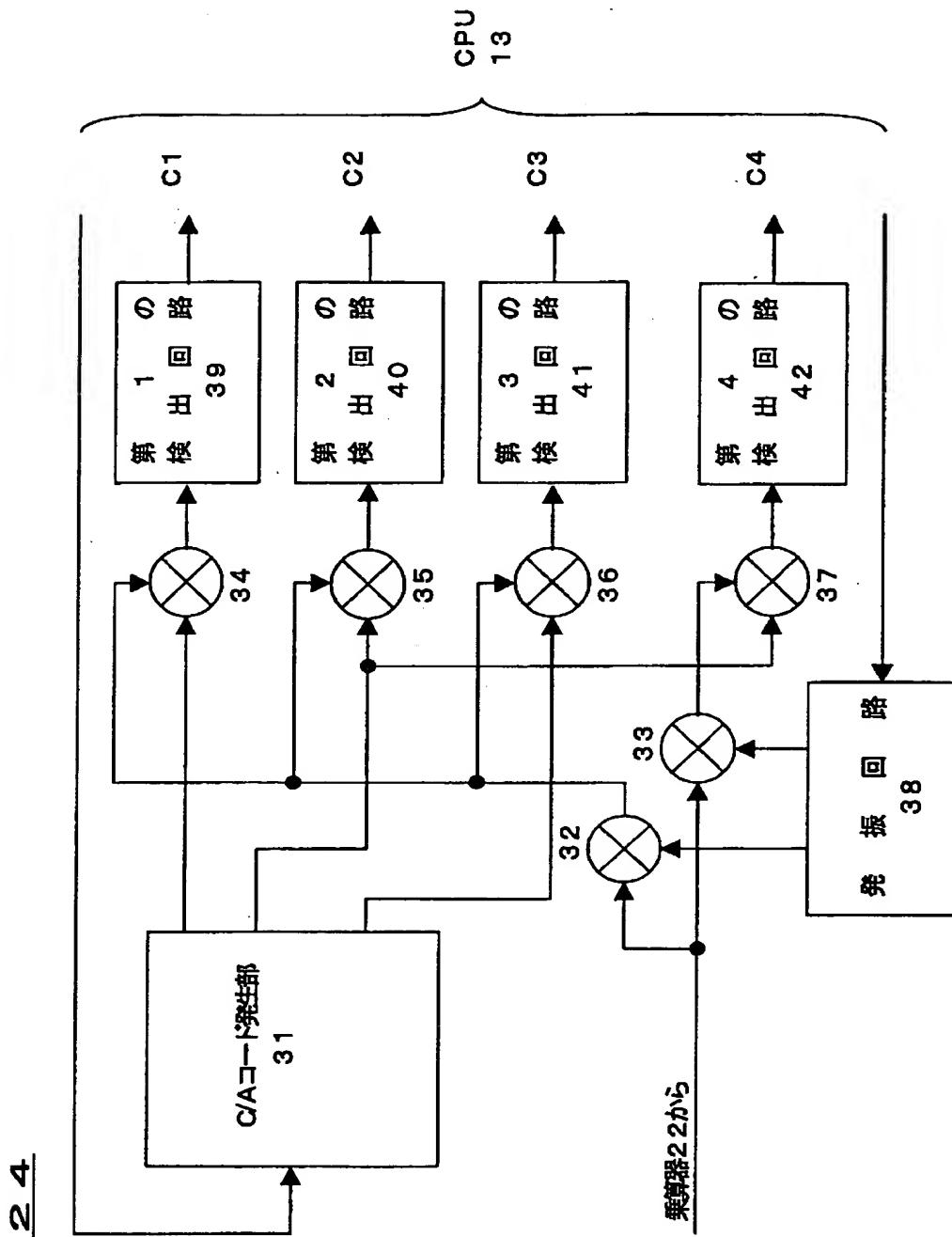
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 外部から供給されたコードと内部コードとの同期をとる同期回路に関し、簡単な構成で、高速に同期させることができる同期回路を提供することを目的とする。

【解決手段】 C/Aコードから-1チップ変移したC/Aコード及び、C/Aコードから0チップ変移したC/Aコードを出力し、-1チップ遅延したC/AコードとI信号並びにQ信号との相関及び、0チップ遅延したC/AコードとI信号並びにQ信号との相関を同時に検出し、その検出結果に応じてC/Aコードを2チップずつシフトさせる。

【選択図】 図1

出願人履歴情報

識別番号 [000006220]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都調布市国領町8丁目8番地2
氏 名 ミツミ電機株式会社